

1/3/1 (Item 1 from file: 351)
DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

012013572 **Image available**

WPI Acc No: 1998-430482/ 199837

XRPX Acc No: N98-336256

ECL D-latch circuit for frequency or voltage divider - drives latch unit
using clock signal where voltage of central level of clock signal is
higher than that of input data

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: LEE S; LEE S O

Number of Countries: 003 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 10075162	A	19980317	JP 97130038	A	19970520	199837 B
KR 97078019	A	19971212	KR 9617421	A	19960522	199850
US 5900760	A	19990504	US 97859018	A	19970520	199925
KR 203053	B1	19990615	KR 9617421	A	19960522	200061

Priority Applications (No Type Date): KR 9617421 A 19960522

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 10075162	A		14	H03K-003/286	
KR 97078019	A			H03K-019/086	
US 5900760	A			H03K-003/289	
KR 203053	B1			H03K-019/086	

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-075162

(43)Date of publication of application : 17.03.1998

(51)Int.Cl.

H03K 3/286

(21)Application number : 09-130038

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 20.05.1997

(72)Inventor : RI SOO

(30)Priority

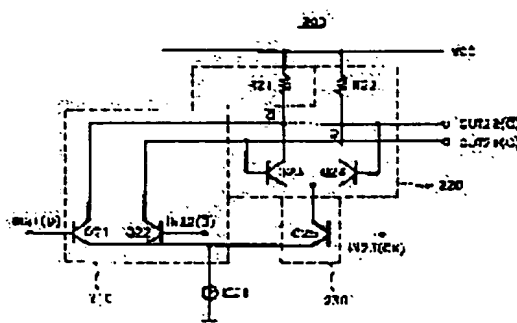
Priority number : 96 9617421 Priority date : 22.05.1996 Priority country : KR

(54) ECL D LATCH CIRCUIT AND ECL D FLIP-FLOP UTILIZING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To enable operating at high speed and at a low voltage by outputting input data and inverted input data at the lowering edge of clock signals, inputting output signals and inverted output signals at the rising edge of the clock signals and latching the output signals and the inverted output signals until the next lowering edge of the clock signals.

SOLUTION: An input part 210 inputs the input data and the inverted input data provided with a center level from input terminals IN21 and IN22 and outputs the output signals and the inverted output signals to output terminals OUT21 and OUT22 at the lowering edge of the clock signals CK, provided with the center level higher than the center level. Also, a driving part 230 drives a latch part 220 from the rising edge of the clock signals CK to the next lowering edge. Then, the latch part 220 inputs the output signals and the inverted output signals outputted from the input part 210 to the output terminals OUT21 and OUT22 at the rising edge of the clock signals CK and latches the output signals and the inverted output signals until the next lowering edge of the clock signals CK.



LEGAL STATUS

[Date of request for examination]

26.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-75162 ✓

(43) 公開日 平成10年(1998) 3月17日

(51) Int.Cl.⁶

H 0 3 K 3/286

識別記号

庁内整理番号

F I

H 0 3 K 3/286

技術表示箇所

F

審査請求 未請求 請求項の数17 O L (全 14 頁)

(21) 出願番号 特願平9-130038

(22) 出願日 平成9年(1997) 5月20日

(31) 優先権主張番号 1 9 9 6 P-1 7 4 2 1

(32) 優先日 1996年 5月22日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 相 ▲オー▼

大韓民国ソウル市松坡区露室3洞住公アパート409棟404号

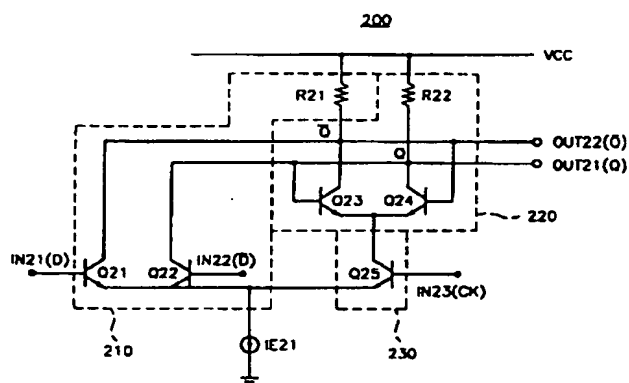
(74) 代理人 弁理士 萩原 誠

(54) 【発明の名称】 ECL Dラッチ回路及びこれを利用したECL Dフリップフロップ

(57) 【要約】

【課題】 低電圧で動作可能な高速のECL Dラッチ回路及びこれを利用したECL Dフリップフロップを提供すること。

【解決手段】 入力部210の第1及び第2トランジスタQ21, Q22に対して駆動部230の第5トランジスタQ25を並列に接続し、一つのクロック信号CKのみで駆動し、かつクロック信号CKの中心レベルの電圧を入力データDの中心レベルの電圧より高く設定する。



1

【特許請求の範囲】

【請求項 1】 外部から第 1 中心レベルを持つ入力データを入力するための第 1 入力端と、
外部から第 1 中心レベルを持つ反転入力データを入力するための第 2 入力端と、
外部から第 2 中心レベルを持つクロック信号を入力するための第 3 入力端と、
出力信号を出力するための第 1 出力端と、
反転出力信号を出力するための第 2 出力端と、
前記第 1 入力端及び第 2 入力端から入力データ及び反転入力データを入力し、クロック信号の下降エッジで前記第 1 出力端と第 2 出力端に出力信号及び反転出力信号を出力する入力部と、
前記入力部から前記第 1 出力端及び第 2 出力端に出力された出力信号及び反転出力信号をクロック信号の上昇エッジで入力し、クロック信号の次の下降エッジまで出力信号及び反転出力信号をラッチするためのラッチ部と、
クロック信号の上昇エッジから次の下降エッジまで前記ラッチ部 220 を駆動させるための駆動部と、
前記入力部と前記駆動部の両方に接続された電流源とを具備してなる ECL D ラッチ回路。

【請求項 2】 請求項 1 記載の ECL D ラッチ回路において、クロック信号の第 2 中心レベルの電圧は入力データの第 1 中心レベルの電圧より高く、クロック信号のローレベルの電圧は入力データの中心レベルの電圧と同一なことを特徴とする ECL D ラッチ回路。

【請求項 3】 請求項 1 記載の ECL D ラッチ回路において、入力部は、
ベースに第 1 入力端を通して外部から第 1 中心レベルを持つ入力データが印加され、エミッタは電流源に接続され、コレクタから第 2 出力端に反転出力信号を出力するための第 1 トランジスタと、
ベースに第 2 入力端を通して外部から第 1 中心レベルを持つ反転入力データが印加され、エミッタは電流源に接続され、コレクタから第 1 出力端に出力信号を出力するための第 2 トランジスタと、
一端が前記第 1 トランジスタのコレクタに接続され、他端に電源電圧が印加される抵抗からなることを特徴とする ECL D ラッチ回路。

【請求項 4】 請求項 1 記載の ECL D ラッチ回路において、駆動部は、ベースに第 3 入力端を通して外部から第 2 中心レベルを持つクロック信号が印加され、コレクタはラッチ部に接続され、エミッタは電流源に接続され、クロック信号の上昇エッジから次の下降エッジの時までラッチ部を駆動させるためのトランジスタでなることを特徴とする ECL D ラッチ回路。

【請求項 5】 請求項 1 記載の ECL D ラッチ回路において、第 1 出力端から出力される出力信号を入力信号として入力して、第 1 中心レベルを持つ入力データ及び第 2 中心レベルを持つクロック信号を発生すると同時

2

に、第 2 出力端から出力される反転出力信号を反転入力信号として入力して、第 1 中心レベルを持つ反転入力データを発生するための入力信号発生部を更に具備することを特徴とする ECL D ラッチ回路。

【請求項 6】 請求項 5 記載の ECL D ラッチ回路において、入力信号発生部は、
第 1 出力端から出力される出力信号を入力信号として入力して、第 1 中心レベルを持つ入力データ及び第 2 中心レベルを持つクロック信号を発生するための第 1 入力信号発生手段と、
第 2 出力端から出力される反転出力信号を反転入力信号として入力し、第 1 中心レベルを持つ反転入力データを発生するための第 2 入力信号発生手段からなることを特徴とする ECL D ラッチ回路。

【請求項 7】 請求項 6 記載の ECL D ラッチ回路において、入力信号発生部の第 1 入力信号発生手段は、
第 1 出力端から出力される出力信号が入力信号としてベースに印加され、コレクタに電源電圧が印加され、エミッタから第 2 中心レベルを持つクロック信号を発生するための NPN トランジスタと、
一端が前記 NPN トランジスタのエミッタに接続され、他端から第 1 中心レベルを持つ入力データを発生するための抵抗と、
前記抵抗の他端に接続された電流源とで構成されることを特徴とする ECL D ラッチ回路。

【請求項 8】 請求項 6 記載の ECL D ラッチ回路において、入力信号発生部の第 2 入力信号発生手段は、第 2 出力端から出力される反転出力信号が反転入力信号としてベースに印加され、電源電圧がコレクタに印加される NPN トランジスタと、
前記 NPN トランジスタのエミッタに一端が接続され、他端から第 1 中心レベルを持つ反転入力データを発生するための抵抗と、
前記抵抗の他端に接続された電流源とで構成されることを特徴とする ECL D ラッチ回路。

【請求項 9】 外部から第 1 中心レベルを持つ入力データを入力するための第 1 入力端と、外部から第 1 中心レベルを持つ反転入力データを入力するための第 2 入力端と、外部から第 2 中心レベルを持つクロック信号を入力するための第 3 入力端と、出力信号を出力するための第 1 出力端と、反転出力信号を出力するための第 2 出力端と、前記第 1 入力端及び第 2 入力端から入力データ及び反転入力データを入力し、クロック信号の下降エッジで前記第 1 出力端と第 2 出力端に出力信号及び反転出力信号を出力する入力部と、この入力部から前記第 1 出力端及び第 2 出力端に出力された出力信号及び反転出力信号をクロック信号の上昇エッジで入力し、クロック信号の次の下降エッジまで出力信号及び反転出力信号をラッチするためのラッチ部と、クロック信号の上昇エッジから次の下降エッジまで前記ラッチ部を駆動させるための駆

10

20

30

40

50

3

動部と、前記入力部と前記駆動部の両方に接続された電流源と、前記第1出力端と前記第2出力端から出力信号及び反転出力信号を入力して第1中心レベルを持つ入力データ及び反転入力データ並びに第2中心レベルを持つ反転クロック信号を発生するための入力信号発生部とを具備する第1ECL Dラッチ回路と、

前記第1ECL Dラッチ回路の入力信号発生部から出力される第1中心レベルを持つ入力データを入力するための第1入力端と、前記第1ECL Dラッチ回路の入力信号発生部から出力される第1中心レベルを持つ反転入力データを入力するための第2入力端と、前記第1ECL Dラッチ回路の入力信号発生部から出力される第2中心レベルを持つ反転クロック信号を入力するための第3入力端と、出力信号を出力するための第1出力端と、反転出力信号を出力するための第2出力端と、前記第1入力端及び第2入力端から入力データ及び反転データを入力し、クロック信号の下降エッジで前記第1出力端と第2出力端に出力信号及び反転出力信号を出力する入力部と、この入力部から前記第1出力端及び第2出力端に出力された出力信号及び反転出力信号をクロック信号の上昇エッジで入力し、クロック信号の次の下降エッジまで出力信号及び反転出力信号をラッチするためのラッチ部と、クロック信号の上昇エッジから次の下降エッジまで前記ラッチ部を駆動させるための駆動部と、前記入力部と前記駆動部の両方に接続された電流源とを具備する第2ECL Dラッチ回路とを有することを特徴とするECL Dフリップフロップ。

【請求項10】 請求項9記載のECL Dフリップフロップにおいて、クロック信号の第2中心レベルの電圧は入力データの第1中心レベルの電圧より高く、クロック信号のローレベルの電圧は入力データの中心レベルの電圧と同一なことを特徴とするECL Dフリップフロップ。

【請求項11】 請求項9記載のECL Dフリップフロップにおいて、第1ECL Dラッチ回路の入力部は、ベースに第1入力端を通して外部から第1中心レベルを持つ入力データが印加され、エミッタは電流ソースに接続され、コレクタから第2出力端に反転出力信号を出力するための第1トランジスタと、ベースに第2入力端を通して外部から第1中心レベルを持つ反転入力データが印加され、エミッタは電流源に接続され、コレクタから第1出力端に出力信号を出力するための第2トランジスタと、一端が前記第1トランジスタのコレクタに接続され、他端に電源電圧が印加される抵抗からなることを特徴とするECL Dフリップフロップ。

【請求項12】 請求項9記載のECL Dフリップフロップにおいて、第1ECL Dラッチ回路の駆動部は、ベースに第3入力端を通して外部から第2中心レベ

4

ルを持つクロック信号が印加され、コレクタはラッチ部に接続され、エミッタは電流源に接続され、クロック信号の上昇エッジから次の下降エッジの時までラッチ部を駆動させるためのトランジスタであることを特徴とするECL Dフリップフロップ。

【請求項13】 請求項9記載のECL Dフリップフロップにおいて、入力信号発生部は、第1出力端から出力される出力信号を入力して、第1中心レベルを持つ入力データを発生するための第1入力信号発生手段と、

第2出力端から出力される反転出力信号を入力して、第1中心レベルを持つ反転入力データと第2中心レベルを持つ反転クロック信号を発生するための第2入力信号発生手段からなることを特徴とするECL Dフリップフロップ。

【請求項14】 請求項13記載のECL Dフリップフロップにおいて、入力信号発生部の第1入力信号発生手段は、

第1出力端から出力される出力信号がベースに印加され、コレクタに電源電圧が印加されるNPNトランジスタと、

一端が前記NPNトランジスタのエミッタに接続され、他端から第1中心レベルを持つ入力データを発生するための抵抗と、

前記抵抗の他端に接続された電流源とで構成されることを特徴とするECL Dフリップフロップ。

【請求項15】 請求項13記載のECL Dフリップフロップにおいて、入力信号発生部の第2入力信号発生手段は、

第2出力端から出力される反転出力信号がベースに印加され、電源電圧がコレクタに印加され、エミッタから第2中心レベルを持つクロック信号を発生するためのNPNトランジスタと、

前記NPNトランジスタのエミッタに一端が接続され、他端から第1中心レベルを持つ反転入力データを発生するための抵抗と、

前記抵抗の他端に接続された電流源とで構成されることを特徴とするECL Dフリップフロップ。

【請求項16】 請求項9記載のECL Dフリップフロップにおいて、第2ECL Dラッチ回路の入力部は、

ベースに第1入力端を通して第1ECL Dラッチ回路の入力信号発生部から第1中心レベルを持つ入力データが印加され、エミッタは電流源に接続され、コレクタから第2出力端に反転出力信号を出力するための第1トランジスタと、

ベースに第2入力端を通して第1ECL Dラッチ回路の入力信号発生部から第1中心レベルを持つ反転入力データが印加され、エミッタは電流源に接続され、コレクタから第1出力端に出力信号を出力するための第2トラ

10

20

30

40

50

ンジスタと、一端が前記第1トランジスタのコレクタに接続され、他端に電源電圧が印加される抵抗からなることを特徴とするECL Dフリップフロップ。

【請求項17】 請求項9記載のECL Dフリップフロップにおいて、第2ECL Dラッチ回路の駆動部は、ベースに第3入力端を通して第1ECL Dラッチ回路の入力信号発生部から第2中心レベルを持つクロック信号が印加され、コレクタはラッチ部に接続され、エミッタは電流源に接続され、クロック信号の上昇エッジから次の下降エッジの時までラッチ部を駆動させるためのトランジスタであることを特徴とするECL Dフリップフロップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はDラッチ回路に関するものであり、特に低電圧で動作可能なECL Dラッチ回路及びこれを利用したECL Dフリップフロップに関する。

【0002】

【従来の技術】一般的に周波数分周器(voltage divider)として、エッジトリガ型(edge-triggered)Dフリップフロップが広く使用されており、このようなDフリップフロップは2つのDラッチ回路で構成される。

【0003】図7は一般的なDラッチ回路のシンボルを示す図であり、このDラッチ回路は入力データDをクロック信号のネガティブあるいはポジティブエッジで出力信号Qとしてそのまま出力する。

【0004】図8は従来のECL Dラッチ回路の回路図を示す。これと類似する回路は特開昭55-83333号公報および特開平2-308615号公報に開示される。図8を参照すると、従来のECL Dラッチ回路100は、第1中心レベル V_{BB1} を具備した入力データDが印加される第1入力端IN11と、第1中心レベル V_{BB1} を具備した反転入力データDバーが印加される第2入力端IN12と、第1中心レベル V_{BB1} より大きい第2中心レベル V_{BB2} を持つ反転クロック信号CKバーが印加される第3入力端IN13と、第2中心レベル V_{BB2} を持つクロック信号CKが印加される第4入力端IN14と、出力信号Qを出力するための第1出力端OUT11と、反転出力信号Qバーを出力するための第2出力端OUT12を含む。

【0005】又、従来のECL Dラッチ回路100は、第1入力端IN11及び第2入力端IN12を通して入力データD及び反転入力データDバーを各々入力し、クロック信号CKの下降エッジで第1及び第2出力端OUT11、OUT12から出力信号Q及び反転出力信号Qバーを各々出力するための入力部110と、この入力部110から出力端OUT11、OUT12を通して各々出力された出力信号Q及び反転出力信号Qバーを

クロック信号CKの上昇エッジで入力し、クロック信号CKの次の下降エッジまで出力信号Q及び反転出力信号Qバーをラッチさせるためのラッチ部120と、第3及び第4入力端IN13、IN14を通して印加されるクロック信号CK及び反転クロック信号CKバーによって入力部110あるいはラッチ部120を駆動させるための駆動部130と、この駆動部130に接続された電流源IE11とからなっている。

【0006】入力部110は、ベースに第1入力端IN11を通して入力データDが印加され、エミッタが駆動部130に接続され、クロック信号CKの下降エッジで第2出力端OUT12から反転出力信号Qバーを出力するための第1トランジスタQ11と、ベースに第2入力端IN12を通して反転入力データDバーが印加され、エミッタが駆動部130に接続され、クロック信号CKの下降エッジで出力端OUT11から出力信号Qを出力するための第2トランジスタQ12と、一端が第1トランジスタQ11のコレクタに接続され、他端に電源電圧Vccが印加される第1抵抗R11で構成される。

【0007】ラッチ部120は、入力部110から第1出力端OUT11を通して出力される出力信号Qがベースに印加され、エミッタが駆動部130に接続され、コレクタに第2出力端OUT12の反転出力信号Qバーが印加され、クロック信号CKの上昇エッジから次の下降エッジまで反転出力信号Qバーをラッチするための第3トランジスタQ13と、入力部110から第2出力端OUT12を通して出力される反転出力信号Qバーがベースに印加され、エミッタが駆動部130に接続され、コレクタに第1出力端OUT11の出力信号Qが印加され、クロック信号CKの上昇エッジから次の下降エッジまで出力信号Qをラッチするための第4トランジスタQ14と、一端が第4トランジスタQ14のコレクタに接続され、他端に電源電圧Vccが印加される第2抵抗R12で構成される。

【0008】駆動部130は、ベースに第3入力端IN13を通して反転クロック信号CKバーが印加され、コレクタは入力部110の第1及び第2トランジスタQ11、Q12のエミッタに接続され、エミッタは電流源IE11に接続され、クロック信号CKの下降エッジで入力部110の第1及び第2トランジスタQ11、Q12を駆動させるための第5トランジスタQ15と、ベースに第4入力端IN14を通してクロック信号CKが印加され、コレクタはラッチ部120の第3及び第4トランジスタQ13、Q14のエミッタに接続され、エミッタは電流源IE11に接続され、クロック信号CKの上昇エッジでラッチ部120の第3及び第4トランジスタQ13、Q14を駆動させるための第6トランジスタQ16で構成される。

【0009】上記のような構成を持つECL Dラッチ回路100の動作を説明すると次のようである。

7

【0010】Dラッチ回路100は第1入力端IN11を通して入力データDを入力し、クロック信号CKの下降エッジで入力データDを第1出力端OUT11から出力信号Qとしてそのまま出力する。つづいて、クロック信号CKの上昇エッジで出力信号Qを入力し、クロック信号CKのその次の下降エッジまで出力信号Qをラッチする。

【0011】すなわち、クロック信号CKがロー状態である際、駆動部130のトランジスタQ16がオフされ、ラッチ部120は動作しない。この際、反転クロック信号CKバーはハイ状態になって駆動部130のトランジスタQ15はオンされる。したがって、ECL Dラッチ回路100の出力信号Q及び反転出力信号Qバーは、第1入力端IN11及び第2入力端IN12を通して入力部110の第1及び第2トランジスタQ11、Q12のベースに各々印加される入力データD及び反転入力データDバーによって決定される。

【0012】すなわち、入力データDがハイ状態であると、入力部110の第1トランジスタQ11がオンされ、第2出力端OUT12からロー状態の反転出力信号Qバーが出力される。一方、反転入力データDバーはロー状態になり、トランジスタQ12がオフされ、第1出力端OUT11からハイ状態の出力信号Qが出力される。

【0013】これとは異なる、入力データDがロー状態であると、第1トランジスタQ11がオフされ、ハイ状態の反転入力データDバーによってトランジスタQ12はオンされる。従って、出力端OUT11、OUT12から各々ロー状態及びハイ状態の出力信号Q及び反転出力信号Qバーが出力される。すなわち、入力データDとして印加されたハイ状態あるいはロー状態の信号が出力信号Qとして出力端OUT11からそのまま出力される。

【0014】次に、クロック信号CKがハイ状態になると、駆動部130のトランジスタQ15がオフされて入力部110が動作しないようになり、第1入力端IN11及び第2入力端IN12を通して入力部110に印加される入力データD及び反転入力データDバーは出力状態に全く影響を及ぼさないようになる。また、駆動部130のトランジスタQ16がオンされて、第1及び第2出力端OUT11、OUT12から出力される出力信号Q及び反転出力信号Qバーをラッチ部120がラッチするようになる。

【0015】すなわち、出力端OUT11、OUT12からハイ状態の出力信号Q、そしてロー状態の反転出力信号Qバーが各々出力される場合、ラッチ部120のトランジスタQ14はオフされ、トランジスタQ13はオンされる。その結果、Dラッチ回路の出力信号Q及び反転出力信号Qバーはハイ状態とロー状態を各々維持するようになる。

8

【0016】そして、クロック信号CKがハイ状態を維持する間は駆動部130のトランジスタQ15は継続してオフ状態を維持するので、入力端IN11、IN12に印加される入力データDの変化は出力信号Qに少しも影響を及ぼさないようになる。

【0017】このように、従来のDラッチ回路100は、入力端IN11、IN12を通して入力データD及び反転入力データDバーを入力し、クロック信号CKの下降エッジで出力端OUT11、OUT12に出力信号Q及び反転出力信号Qバーを各々出力し、クロック信号CKのロー状態を経て、クロック信号CKの上昇エッジから次の下降エッジとなるときまで出力信号Q及び反転出力信号Qバーをラッチする。

【0018】図9は図8の従来のECL Dラッチ回路において、入力端IN11～IN14を通して印加される入力信号の電圧レベルを示したものであり、図3

(A)は入力データDの電圧レベル、図3(B)はクロック信号CKの電圧レベルを示す。

【0019】この図のように、入力データDのバイアス電圧V_{BB11}はクロック信号CKのバイアス電圧V_{BB12}よりベース-エミッタ間の電圧V_{BE}ほど大きいレベルを持つ。この際、バイアス電圧V_{BB}というのは、入力データあるいはクロック信号のロジックスイング (logic swing) の中心レベルの電圧を言う。

【0020】通常、多段のECL Dラッチ回路100が接続されたラッチ回路において、ECL Dラッチ回路は次の段のECL Dラッチ回路の入力端に入力データD、Dバーとクロック信号CK、CKバーを供給するための入力信号発生部140を含む。

【0021】図10は図8のECL Dラッチ回路100において、次の段のECL Dラッチ回路の二つの入力信号、すなわち入力データDとクロック信号CKを発生するための入力信号発生部の回路図を示す。

【0022】図10のECL Dラッチ回路100の入力信号発生部140は、ECL Dラッチ回路100の出力端OUT11、OUT12から出力された出力信号Q及び反転出力信号Qバーを入力信号DPと反転入力信号DPバーとして入力して、次の段のECL Dラッチ回路の入力データD^{''}とクロック信号CK^{''}を発生させる。

【0023】このような入力信号発生部140は、第1出力端OUT11から出力される出力信号Qを入力信号DPとして入力して、第1中心レベルV_{BB11}を持つ入力データD^{''}と第2中心レベルV_{BB12}を持つクロック信号CK^{''}を出力すると同時に、第2出力端OUT12から出力される反転出力信号Qバーを反転入力信号DPバーとして入力して第1中心レベルV_{BB11}を持つ反転入力データD^{''}バーと第2中心レベルV_{BB12}を持つ反転クロック信号CK^{''}バーを各々出力する。

【0024】入力信号発生部140は、第1出力端OUT

T11から出力される出力信号Qを入力信号DPとして入力して、第1中心レベル V_{BB11} を持つ入力データD^{''}と第2中心レベル V_{BB12} を持つクロック信号CK^{''}を次の段のECL Dラッチ回路に供給するための第1入力信号発生手段141と、第2出力端OUT12から出力される反転出力信号Qバーを反転入力信号DPバーとして入力して、第1中心レベル V_{BB11} を持つ反転入力データD^{''}バーと第2中心レベル V_{BB12} を持つ反転クロック信号CK^{''}バーを次の段のECL Dラッチ回路に供給するための第2入力信号発生手段142とからなっている。

【0025】第1入力信号発生手段141は、ベースに入力信号DPとして第1出力端OUT11から出力される出力信号Qが印加され、コレクタに電源電圧 V_{cc} が印加され、エミッタから第1中心レベル V_{BB11} を持つ入力データD^{''}を出力するNPN形の第7トランジスタQ17と、一端が第7トランジスタQ17のエミッタに接続され、他端が電流ソースIE12に接続され、この他端から第2中心レベル V_{BB12} を持つクロック信号CK^{''}を出力する第3抵抗R13で構成される。

【0026】第2入力信号発生手段142は、ベースに反転入力信号DPバーとして第2出力端OUT12から出力される反転出力信号Qバーが印加され、コレクタに電源電圧 V_{cc} が印加され、エミッタから第1中心レベル V_{BB11} を持つ反転入力データD^{''}バーを出力するNPN形の第8トランジスタQ18と、一端が第8トランジスタQ18のエミッタに接続され、他端が電流ソースI13に接続され、この他端から第2中心レベル V_{BB12} を持つ反転クロック信号CK^{''}バーを出力する第4抵抗R14で構成される。

【0027】図9に示されたように、入力信号発生部140から出力される入力データD^{''}及び反転入力データD^{''}バーの中心レベル V_{BB} は V_{BB11} であり、クロック信号CK^{''}及び反転クロック信号CK^{''}バーの中心レベル V_{BB} は V_{BB12} であり、 V_{BB12} は入力データD^{''}及び反転入力データD^{''}バーの中心レベルである V_{BB11} より V_{BE} ほど小さい。すなわち、 V_{BB12} は $V_{BB11} - V_{BE}$ である。

【0028】

【発明が解決しようとする課題】上記のようなECL Dラッチ回路はECLの利点である高速動作特性を得ることができた。しかし、従来のECL Dラッチ回路は高速動作特性を具備しているにもかかわらず、低電圧動作においてその限界を示す問題点があった。

【0029】従来のECL回路の低電圧動作の限界に関して図11を参照してより詳細に説明すると次のようである。

【0030】図11は従来のECL Dラッチ回路100が従来の他のECL Dラッチ回路100'によって駆動されたとする仮定下で示した図面であり、最小条件を数値的に示してある。すなわち、図11を参照する

と、前段のECL Dラッチ回路100'の入力信号発生部140'から入力データD^{''}とクロック信号CK^{''}が後段のECL Dラッチ回路100に供給されている。

【0031】この際、NPNトランジスタのエミッタベース間の電圧 V_{BE} は0.8Vであり、コレクタエミッタ間の電圧 V_{CE} は信号スイングを考慮して0.5Vに設定する。

【0032】従来のECL Dラッチ回路を駆動するために要求される最小電圧 V_{MIN} を算出することにおいて、前段のECL Dラッチ回路100'のラッチ部120'の抵抗R11'による電圧降下、前段のECL Dラッチ回路100'の入力信号発生部140'の第8トランジスタQ18'のベースエミッタ間の電圧 V_{BE} 、ECL Dラッチ回路100の第1トランジスタQ11のベースエミッタ間の電圧 V_{BE} 、ECL Dラッチ回路100の第5トランジスタQ15のコレクタエミッタ間の電圧 V_{CE} 及び電流源IE11による電圧降下を考慮しなければならない。

【0033】従来のECL Dラッチ回路を駆動するために要求される最小電圧 V_{MIN} は下記の式で表現される。

$$V_{MIN} = 0.4V(R11') + 0.8V(Q18') + 0.8V(Q11) + 0.5V(Q15) + 0.5V(IE11) = 3.0V$$

【0034】従って、従来のECL Dラッチ回路を駆動するために要求される最小電圧 V_{MIN} は3.0Vであるから、従来のECL Dラッチ回路の電源電圧 V_{cc} は3.0V以上の電圧が要求される。

【0035】最近、ロジック電源が5.0Vから3.3V、あるいはそれ以下に低下している趨勢から見ると、従来のECL Dラッチ回路の電源電圧 V_{cc} が3.0V以上というのは、使用上大きな問題である。

【0036】本発明の目的は高速動作及び低電圧動作特性を持つECL Dラッチ回路及びこれを利用したECL Dフリップフロップを提供することにある。

【0037】

【課題を解決するための手段】本発明は上記課題を解決し、上記目的を達成するために、外部から第1中心レベルを持つ入力データを入力するための第1入力端と、外部から第1中心レベルを持つ反転入力データを入力するための第2入力端と、外部から第2中心レベルを持つクロック信号を入力するための第3入力端と、出力信号を出力するための第1出力端と、反転出力信号を出力するための第2出力端と、前記第1入力端及び第2入力端から入力データ及び反転データを入力し、クロック信号の下降エッジで前記第1出力端と第2出力端に出力信号及び反転出力信号を出力する入力部と、前記入力部から前記第1出力端及び第2出力端に出力された出力信号及び反転出力信号をクロック信号の上昇エッジで入力し、クロック信号の次の下降エッジまで出力信号及び反転出力

信号をラッチするためのラッチ部と、クロック信号の上昇エッジから次の下降エッジまでラッチ部を駆動させるための駆動部と、前記入力部と前記駆動部の両方に接続された電流源とを具備してなるECL Dラッチ回路とする。

【0038】上記本発明のECL Dラッチ回路は、第1出力端から出力される出力信号を入力信号として入力して第1中心レベルを持つ入力データ及び第2中心レベルを持つクロック信号を発生すると同時に、第2出力端から出力される反転出力信号を反転入力信号とし入力して第1中心レベルを持つ反転入力データを発生する入力信号発生部を更に備えることができる。

【0039】又、本発明は、第1ECL Dラッチ回路と第2ECL Dラッチ回路を有するECL Dフリップフロップとし、第1ECL Dラッチ回路は、外部から第1中心レベルを持つ入力データを入力するための第1入力端と、外部から第1中心レベルを持つ反転入力データを入力するための第2入力端と、外部から第2中心レベルを持つクロック信号を入力するための第3入力端と、出力信号を出力するための第1出力端と、反転出力信号を出力するための第2出力端と、前記第1入力端及び第2入力端から入力データ及び反転データを入力し、クロック信号の下降エッジで前記第1出力端と第2出力端に出力信号及び反転出力信号を出力する入力部と、この入力部から前記第1出力端及び第2出力端に出力された出力信号及び反転出力信号をクロック信号の上昇エッジで入力し、クロック信号の次の下降エッジまで出力信号及び反転出力信号をラッチするためのラッチ部と、クロック信号の上昇エッジから次の下降エッジまで前記ラッチ部を駆動させるための駆動部と、前記入力部と前記駆動部の両方に接続された電流源と、前記第1出力端と前記第2出力端から出力信号及び反転出力信号を入力して第1中心レベルを持つ入力データ及び反転入力データ並びに第2中心レベルを持つ反転クロック信号を発生するための入力信号発生部とを具備するものとし、前記第2ECL Dラッチ回路は、前記第1ECL Dラッチ回路の入力信号発生部から出力される第1中心レベルを持つ入力データを入力するための第1入力端と、前記第1ECL Dラッチ回路の入力信号発生部から出力される第1中心レベルを持つ反転入力データを入力するための第2入力端と、前記第1ECL Dラッチ回路の入力信号発生部から出力される第2中心レベルを持つ反転クロック信号を入力するための第3入力端と、出力信号を出力するための第1出力端と、反転出力信号を出力するための第2出力端と、前記第1入力端及び第2入力端から入力データ及び反転データを入力し、クロック信号の下降エッジで前記第1出力端と第2出力端に出力信号及び反転出力信号を出力する入力部と、この入力部から前記第1出力端及び第2出力端に出力された出力信号及び反転出力信号をクロック信号の上昇エッジで入力し、ク

ロック信号の次の下降エッジまで出力信号及び反転出力信号をラッチするためのラッチ部と、クロック信号の上昇エッジから次の下降エッジまで前記ラッチ部を駆動させるための駆動部と、前記入力部と前記駆動部の両方に接続された電流源とを具備するものとする。

【0040】本発明のECL Dラッチ回路は、クロック信号の中心レベルを入力データの中心レベルより例えば0.2V高く設定し、データ入力部と駆動部を並列に接続し、一つのクロック信号だけで駆動することにより、ECL Dラッチ回路の低電圧動作を可能にする。

【0041】図1を参照して具体的に説明すると、本発明の新規なECL Dラッチ回路は、第1中心レベル V_{BB21} を持つ入力データDを入力するための第1入力端IN21と、第1中心レベル V_{BB21} を持つ反転入力データDバーを入力するための第2入力端IN22と、第2中心レベル V_{BB22} を持つクロック信号CKを入力するための第3入力端IN23を具備し、クロック信号CKの中心レベル V_{BB22} を入力データDの中心レベル V_{BB21} より0.2V高く設定する。これによって、従来のECL Dラッチ回路においては図8のように2つの差動増幅部すなわち、入力部110と駆動部130を構成する2つの差動増幅部が直列に接続される構造によって低電圧限界を示したが、本発明のECL Dラッチ回路においては図1のように入力部210と駆動部230が並列に接続される構造を持つ。従って、本発明では入力部210と並列に接続され、クロック信号CKによって駆動される一つのトランジスタQ25だけで入力部210とラッチ部220をコントロールしてECL Dラッチ回路の低電圧動作を可能にする。

【0042】

【発明の実施の形態】以下本発明によるECL Dラッチ回路及びこれを利用したECL Dフリップフロップの実施の形態を添付図面を参照して詳細に説明する。

【0043】図1は本発明の実施の形態によるECL Dラッチ回路を示す回路図である。この図1を参照すると、本発明のECL Dラッチ回路200は、外部から第1中心レベル V_{BB21} を持つ入力データDを入力するための第1入力端IN21と、外部から第1中心レベル V_{BB21} を持つ反転入力データDバーを入力するための第2入力端IN22と、外部から第1中心レベル V_{BB21} より高い第2中心レベル V_{BB22} を持つクロック信号CKを入力するための第3入力端IN23と、出力信号Qを出力するための第1出力端OUT21と、反転出力信号Qバーを出力するための第2出力端OUT22を含む。

【0044】又、本発明のECL Dラッチ回路200は、第1入力端IN21及び第2入力端IN22から入力データD及び反転入力データDバーを入力し、クロック信号CKの下降エッジで第1出力端OUT21と第2出力端OUT22に出力信号Q及び反転出力信号Qバーを出力する入力部210と、この入力部210から第1

出力端OUT 2 1及び第2出力端OUT 2 2に出力された出力信号Q及び反転出力信号Qバーをクロック信号CKの上昇エッジで入力し、クロック信号CKの次の下降エッジまで出力信号Q及び反転出力信号Qバーをラッチするためのラッチ部220と、クロック信号CKのハイ状態の間（上昇エッジから次の下降エッジまで）ラッチ部220を駆動させるための駆動部230と、入力部210と駆動部230の両方に接続された電流源IE 2 1を含む。

【0045】入力部210は、ベースに第1入力端IN 2 1を通して外部から第1中心レベルV_{BB21}を持つ入力データDが印加され、エミッタは電流源IE 2 1に接続され、コレクタから第2出力端OUT 2 2に反転出力信号Qバーを出力するための第1トランジスタQ 2 1と、ベースに第2入力端IN 2 2を通して外部から第1中心レベルV_{BB21}を持つ反転入力データDバーが印加され、エミッタは電流源IE 2 1に接続され、コレクタから第1出力端OUT 2 1に出力信号Qを出力するための第2トランジスタQ 2 2と、一端が第1及びQ 2 1のコレクタに接続され、他端に電源電圧V_{cc}が印加される第1抵抗R 2 1で構成される。

【0046】ラッチ部220は、ベースに第1出力端OUT 2 1の出力信号Qが印加され、コレクタに第2出力端OUT 2 2の反転出力信号Qバーが印加され、エミッタは駆動部230に接続され、第2出力端OUT 2 2に出力される反転出力信号Qバーをラッチするための第3トランジスタQ 2 3と、ベースに第2出力端OUT 2 2の反転出力信号Qバーが印加され、コレクタに第1出力端OUT 2 1の出力信号Qが印加され、エミッタは駆動部230に接続され、第1出力端OUT 2 1の出力信号Qをラッチするための第4トランジスタQ 2 4と、一端が第4トランジスタQ 2 4のコレクタに接続され、他端に電源電圧V_{cc}が印加される第2抵抗R 2 2で構成される。

【0047】駆動部230は、ベースに第3入力端IN 1 3を通して外部から第2中心レベルV_{BB22}を持つクロック信号CKが印加され、コレクタはラッチ部220の第3及び第4トランジスタQ 2 3、Q 2 4のエミッタに接続され、エミッタは電流源IE 2 1に接続され、クロック信号CKのハイ状態の間（クロック信号の上昇エッジから次の下降エッジの時まで）ラッチ部220を駆動させるための第5トランジスタQ 2 5で構成される。この第5トランジスタQ 2 5は、以上のような接続関係により、入力部210の第1および第2トランジスタQ 2 1、Q 2 2に対して並列に接続される。

【0048】図2（A）及び（B）は図1の本発明のECL Dラッチ回路に印加される二つの入力信号すなわち、入力データDとクロック信号CKの電圧レベルを各々示す図である。

【0049】図2（A）及び（B）を参照すると、入力

データDはクロック信号CKより中心レベルの電圧が0.2V小さい電圧レベルを持つ。すなわち、クロック信号CKの中心レベルV_{BB22}の電圧は入力データDの中心レベルV_{BB21}の電圧より0.2V大きい。そして、クロック信号CKのローレベル電圧は入力データDの中心レベルV_{BB21}の電圧と同一である。

【0050】図3は本発明の実施の形態による入力信号発生部240の詳細回路図を示す。この入力信号発生部240は、多段のECL Dラッチ回路が直列接続される場合に、次の段のECL Dラッチ回路の入力端に入力データD'、D'バーとクロック信号CK'を供給するための回路である。

【0051】図3を参照すると、本発明の実施の形態によるECL Dラッチ回路200の入力信号発生部240は、ECL Dラッチ回路200の第1及び第2出力端OUT 2 1、OUT 2 2から出力された出力信号Q及び反転出力信号Qバーを入力信号DPと反転入力信号DPバーとして入力して、第1中心レベルV_{BB21}を持つ入力データD'及び反転入力データD'バーと第2中心レベルV_{BB22}を持つクロック信号CK'を次の段のECL Dラッチ回路に供給する。

【0052】入力信号発生部240は、第1出力端OUT 2 1から出力される出力信号Qを入力信号DPとして入力して、第1中心レベルV_{BB21}を持つ入力データD'及び第2中心レベルV_{BB22}を持つクロック信号CK'を次の段のECL Dラッチ回路に供給するための第1入力信号発生手段241と、第2出力端OUT 2 2から出力される反転出力信号Qバーを反転入力信号DPバーとして入力して第1中心レベルV_{BB21}を持つ反転入力データDバーを発生するための第2入力信号発生手段242からなっている。

【0053】第1入力信号発生手段241は、第1出力端OUT 2 1から出力される出力信号Qが入力信号DPとしてベースに印加され、コレクタに電源電圧V_{cc}が印加され、エミッタから第2中心レベルV_{BB22}を持つクロック信号CK'を発生するためのNPN形の第6トランジスタQ 2 6と、一端が第6トランジスタQ 2 6のエミッタに接続され、他端が電流ソースIE 2 2に接続され、他端から第1中心レベルV_{BB21}を持つ入力データD'を次の段のECL Dラッチ回路に供給するための第3抵抗R 2 3で構成される。

【0054】又、第2入力信号発生手段242は、第2出力端OUT 2 2から出力された反転出力信号Qバーが反転入力信号DPバーとしてベースに印加され、電源電圧V_{cc}がコレクタに印加されるNPN形の第7トランジスタQ 2 7と、この第7トランジスタQ 2 7のエミッタに一端が接続され、他端が電流源IE 2 3に接続され、かつ他端から第1中心レベルV_{BB21}を持つ反転入力データD'バーを次の段のECL Dラッチ回路に供給するための第4抵抗R 2 4で構成される。

【0055】以下図1に示された本発明の実施の形態によるECL Dラッチ回路の動作を説明すると次のようである。

【0056】クロック信号CKがロー状態である場合には、図2に示されるように、クロック信号CKの中心レベル V_{BB22} が入力データDの中心レベル V_{BB21} より0.2V高く、クロック信号CKのロー状態の電圧が入力データDの中心レベル V_{BB21} と同一になる。

【0057】従って、クロック信号CKの下降エッジで駆動部230のトランジスタQ25がオフされる。そして、トランジスタQ25がオフされることによってラッチ部220のトランジスタQ23、Q24もオフされる。また、入力部210は、入力データDあるいは反転入力データDバーの状態によってトランジスタQ21、Q22がオン、オフされて、入力データD及び反転入力データDバーが出力端OUT21、OUT22を通してそのまま出力信号Q及び反転出力信号Qバーとして出力するようになる。

【0058】たとえば、入力データD及び反転入力データDバーが各々ハイ状態あるいはロー状態である場合、入力部210のトランジスタQ21はオンされ、トランジスタQ22はオフされる。従って、ECL Dラッチ回路の出力信号Q及び反転出力信号Qバーは各々ハイ状態及びロー状態になる。

【0059】つづいて、クロック信号CKがハイ状態である場合には、図2に示されるようにクロック信号CKがハイ状態の間、入力データDの電圧レベルはロー電圧になることによって、入力データDの状態に関係なく入力部210のトランジスタQ21、Q22はオフされる。その結果、ECL Dラッチ回路200の出力信号Q及び反転出力信号Qバーは入力端IN21、IN22を通して入力部210に印加される入力データの影響を受けないようになる。

【0060】また、クロック信号CKの上昇エッジで駆動部230のトランジスタQ25がオンしてラッチ部220が動作し、出力端OUT21、OUT22の出力信号Q及び反転出力信号Qバーをラッチ部220に入力するようになる。そしてECL Dラッチ回路の出力信号Q及び反転出力信号Qバーが各々ハイ状態及びロー状態である場合には、ラッチ部220のトランジスタQ23はオンされ、トランジスタQ24はオフされる。その結果、ECL Dラッチ回路はクロック信号CKの次の下降エッジまで、すなわちクロック信号CKのハイ状態の間、出力端OUT21、OUT22の出力信号Q及び反転出力信号Qバーをハイ状態及びロー状態にラッチするようになる。

【0061】上記したように、本発明のECL Dラッチ回路200は、クロック信号CKのロー状態の間、入力データDを入力して出力信号Qを出力し、クロック信号CKのハイ状態の間、出力信号Qをラッチする一連の

動作を反復する。すなわち、クロック信号CKがロー状態である場合には入力部210が動作して入力データDの状態によって出力信号Qを出力するようになり、クロック信号CKがハイ状態である場合にはラッチ部220が動作し、出力された出力信号Qをクロック信号CKの次の下降エッジの時までラッチするようになる。

【0062】本発明の実施の形態によるECL Dラッチ回路の低電圧動作の限界に関して図4を参照して説明すると、次のようである。図4は本発明のECL Dラッチ回路200が本発明のその他のECL Dラッチ回路200'によって駆動されるという仮定下で例示した図面であり、最小条件を数値的に示してある。

【0063】その際、NPNトランジスタのエミッターベース間の電圧 V_{BE} は0.8Vであり、コレクターエミッター間の電圧 V_{CE} は信号スイングを考慮して0.5Vに設定する。そして、本発明のECL Dラッチ回路200が前段の他のECL Dラッチ回路200'によって駆動されるので、前段のECL Dラッチ回路200'の入力信号発生部240'は第1出力端OUT21からの出力信号Q及び第2出力端OUT22からの反転出力信号Qバーを各々入力信号DP及び反転入力信号DPバーして、ECL Dラッチ回路200の入力データD'及び反転入力データD'バーとクロック信号CK'を発生するようになる。なお、図4において、電流パスPAが反転入力データD'バーがベースに印加されるトランジスタQ22とは無関係に形成されるので、入力信号発生部240'中、反転入力データD'バーを発生するための第2入力信号発生手段242'は図示を省略した。

【0064】従って、本発明のECL Dラッチ回路を駆動するために要求される最小電圧 V_{MIN} の算出において、第1電流パスPAの場合には、前段のECL Dラッチ回路200'の第2抵抗R22'による電圧降下、前段のECL Dラッチ回路200'の入力信号発生部240'の第6トランジスタQ26'のベースエミッター間の電圧 V_{BE} 、前段のECL Dラッチ回路200'の入力信号発生部240'の抵抗R23'による電圧降下、ECL Dラッチ回路200の第1トランジスタQ21のベースエミッター間の電圧 V_{BE} 、電流源IE21による電圧降下を考慮しなければならない。

【0065】又、第2電流パスPBの場合には、ECL Dラッチ回路200の第2抵抗R22による電圧降下、ECL Dラッチ回路200のラッチ部220の第4トランジスタQ24のベースエミッター間の電圧 V_{BE} 、ECL Dラッチ回路200の駆動部230の第5トランジスタQ25のコレクターエミッター間の電圧 V_{CE} 、電流源IE21による電圧降下を考慮しなければならない。

【0066】したがって、本発明のECL Dラッチ回路200を駆動するために要求される最小電圧 V_{MIN} は下記の式で表現される。

10

20

30

40

50

$$V_{\text{MIN}}(\text{PA}) = 0.4\text{V}(\text{R22}') + 0.8\text{V}(\text{Q26}') + 0.2\text{V}(\text{R23}') + 0.8\text{V}(\text{Q21}') + 0.5\text{V}(\text{IE21}) = 2.7\text{V}$$

$$V_{\text{MIN}}(\text{PB}) = 0.4\text{V}(\text{R22}) + 0.8\text{V}(\text{Q24}) + 0.5\text{V}(\text{R25}) + 0.5\text{V}(\text{IE21}) = 2.2\text{V}$$

【0067】従って、本発明のECL Dラッチ回路において、第1電流パスPAが臨界電流パスになるので、本発明のECL Dラッチ回路を駆動するために要求される最小電圧 V_{MIN} は2.7Vになる。ゆえに、本発明のECL Dラッチ回路で要求される最小電圧 V_{MIN} は、従来のECL Dラッチ回路で要求される最小電源電圧 V_{cc} より0.3Vほど低電圧特性を改善することができる。これによって、本発明のECL Dラッチ回路は電源電圧 V_{cc} が3.0V以下の回路でも使用が可能になる。

【0068】図5は本発明のECL Dラッチ回路と従来のECL Dラッチ回路の動作特性をSPICEシミュレーションした結果を図示したもので、クロック信号CKの周波数は100Hz、入力データDの周波数は240Hzであり、従来の電流ソースIE11と本発明の電流ソースIE21を通して流れる電流は900 μ Aであり、電源電圧は従来は5V、本発明では2.5Vを各々使用した。

【0069】この図5に示すように、上記で言及した条件下で本発明の出力波形(Iグループ)と従来の出力波形(IIグループ)が得られており、この波形から本発明のECL Dラッチ回路が従来のECL Dラッチ回路より低電圧で動作することが分る。

【0070】図6は図1のECL Dラッチ回路を利用した低電圧動作可能なECL Dフリップフロップの詳細回路図を示す。この図6に示すように、本発明の低電圧動作可能なECL Dフリップフロップ300は、第1ECL Dラッチ回路200aと第2ECL Dラッチ回路200bの2つのECL Dラッチ回路で構成される。

【0071】第1ECL Dラッチ回路200aと第2ECL Dラッチ回路200bは図1のECL Dラッチ回路200と同一の構成を持つ。

【0072】すなわち、本発明の実施の形態によるECL Dフリップフロップ300において、第1ECL Dラッチ回路200aの第1入力端IN21aと第2入力端IN22aには外部から第1中心レベル V_{BB21} を持つ入力データDa及び反転入力データDaバーが各々印加され、第3入力端IN23aには外部から第2中心レベル V_{BB22} を持つクロック信号CKaが印加される。

【0073】そして、第1ECL Dラッチ回路200aの第1出力端OUT21aと第2出力端OUT22aから各々出力される出力信号Qaと反転出力信号Qaバーが入力信号発生部240aに印加され、入力信号発生部240aの第1入力信号発生手段241aは第1出力

端OUT21aから出力される出力信号Qaを入力信号DPとして入力して、第1中心レベル V_{BB21} を持つ入力データDbを発生して第2ECL Dラッチ回路200bの第1入力端IN21bに出力する。

【0074】又、入力信号発生部240aの第2入力信号発生手段242aは第2出力端OUT22aから出力される反転出力信号Qaバーを反転入力信号DPバーとして入力して第1中心レベル V_{BB21} を持つ反転入力データDbバーを第2ECL Dラッチ回路200bの第2入力端IN22bに出力すると同時に、第2中心レベル V_{BB22} を持つ反転クロック信号CKbバーを第2ECL Dラッチ回路200bの第3入力端IN23bに出力する。

【0075】そして、第2ECL Dラッチ回路200bは第1ECL Dラッチ回路200aの入力信号発生部240aから出力された第1中心レベル V_{BB21} を持つ入力データDb及び反転入力データDbバーを第1入力端IN21bと第2入力端IN22bに入力し、第3入力端IN23bには第2中心レベル V_{BB22} を持つ反転クロック信号CKbバーを入力する。そして、第2ECL Dラッチ回路200bは、第1出力端OUT21b及び第2出力端OUT22bから出力信号Qbと反転出力信号QbバーをECL Dフリップフロップ300の出力信号及び反転出力信号として出力する。

【0076】このような構成を持つ本発明のECL Dフリップフロップ300は、第3入力端IN23aを通して印加されるクロック信号CKaの下降エッジで第1ECL Dラッチ回路200aの入力部210aが第1入力端IN21a及び第2入力端IN22bを通して外部から印加される入力データDaと反転入力データDaバーを入力して、第1出力端OUT21a及び第2出力端OUT22aに出力信号Qa及び反転出力信号Qaバーを出力する。

【0077】次に、クロックCKaの上昇エッジでラッチ部220aによって第1ECL Dラッチ回路200aから出力される出力信号Qa及び反転出力信号Qaバーがラッチされると同時に、第2ECL Dラッチ回路200bの入力部210bは第1ECL Dラッチ回路200aから出力される出力信号Qa及び反転出力信号Qaバーを入力して、第1出力端OUT21b及び第2出力端OUT22bから出力信号Qb及び反転出力信号QbバーをECL Dフリップフロップ300の出力信号及び反転出力信号として出力する。

【0078】なお、このようなECL Dフリップフロップ300において、第1ECL Dラッチ回路200aの入力部210a、ラッチ部220a、駆動部230a、入力信号発生部240a及び第2ECL Dラッチ回路200bの入力部210b、ラッチ部220b、駆動部230bの詳細構成は図1及び図3と同一であるから詳細な説明は省略する。ただし、図6の入力信号発生

部240aにおいては、図3の第1入力信号発生手段241の詳細構成を図6の第2入力信号発生手段242aが、また図3の第2入力信号発生手段242の詳細構成を図6の第1入力信号発生手段241aが有している。また、図6においては、各部の符号として、図1または図3の符号にaまたはbを付加して符号を付してある。aは各部が第1ECL Dラッチ回路200aの各部であることを、bは各部が第2ECL Dラッチ回路200bの各部であることを意味する。

【0079】

【発明の効果】以上詳細に説明したように本発明によれば、入力データとクロック信号の中心レベルを調整して、高速で低電圧で動作可能なECL Dラッチ回路及びECL Dフリップフロップを得ることができる。

【図面の簡単な説明】

【図1】本発明によるECL Dラッチ回路の実施の形態を示す回路図。

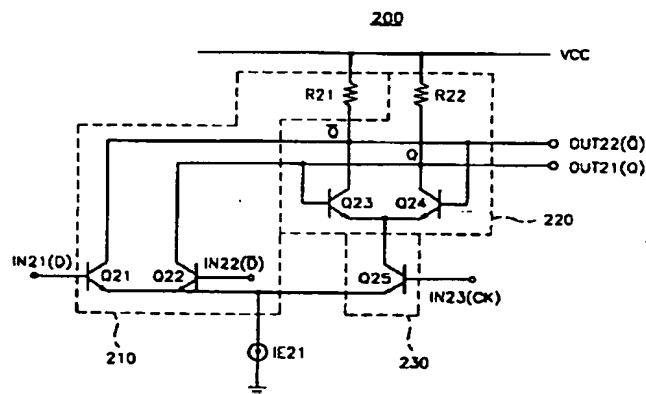
【図2】図1の回路に使用される入力データとクロック信号の電圧レベルを示す波形図。

【図3】図1の回路に付加される入力信号発生部を示す回路図。

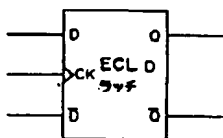
【図4】図1の回路の低電圧限界を説明するための回路図。

【図5】従来と本発明のECL Dラッチ回路の電気的特性のシミュレーション結果を示す図。

【図1】



【図7】



【図6】本発明によるECL Dフリップフロップの実施の形態を示す回路図。

【図7】一般的なECL Dラッチ回路のシンボルを示す図。

【図8】従来のECL Dラッチ回路を示す回路図。

【図9】従来のECL Dラッチ回路で使用される入力データとクロック信号の電圧レベルを示す波形図。

【図10】従来のECL Dラッチ回路に付加される入力信号発生部を示す回路図。

10 【図11】従来のECL Dラッチ回路の低電圧限界を説明するための回路図。

【符号の説明】

200 ECL Dラッチ回路

210 入力部

220 ラッチ部

230 駆動部

240 入力信号発生部

IN21~IN23 第1ないし第3入力端

OUT21, OUT22 第1、第2出力端

Q21~Q27 第1ないし第7トランジスタ

R21~R24 第1ないし第4抵抗

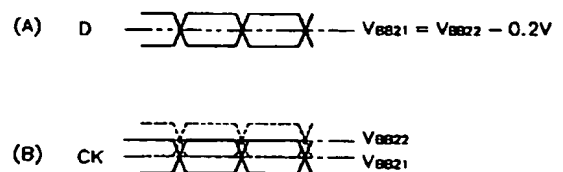
IE21~IE23 電流源

300 ECL Dフリップフロップ

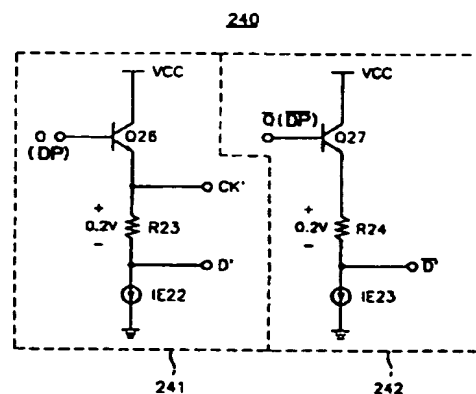
200a 第1ECL Dラッチ回路

200b 第2ECL Dラッチ回路

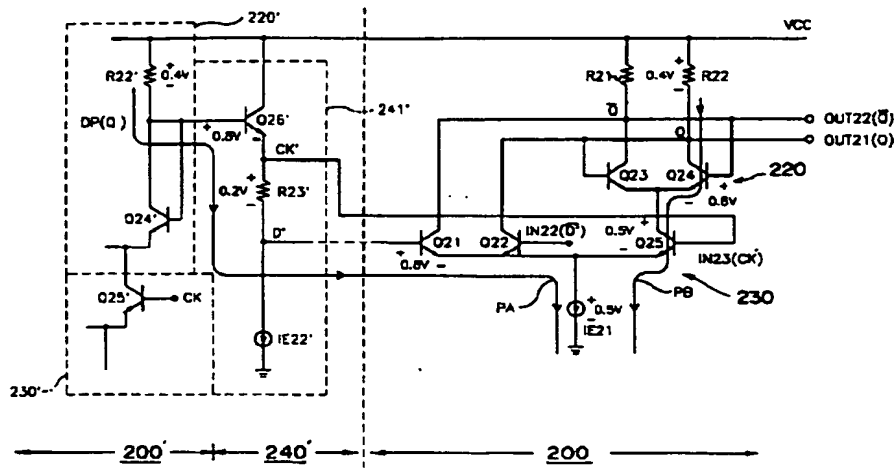
【図2】



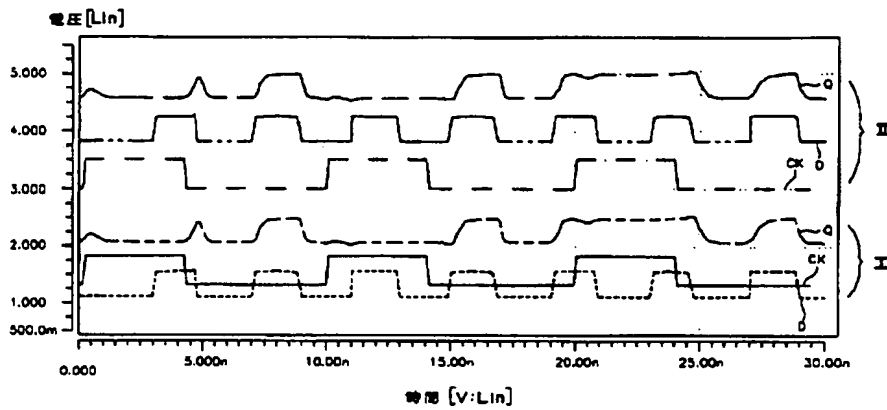
【図3】



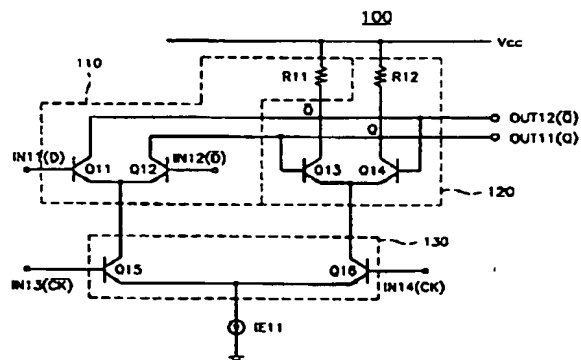
【図4】



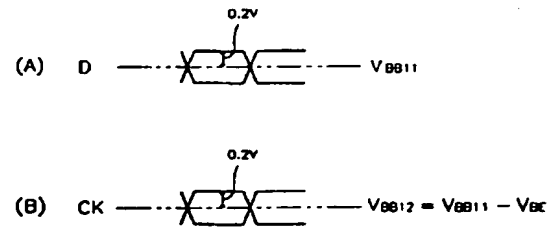
【図5】



【図8】

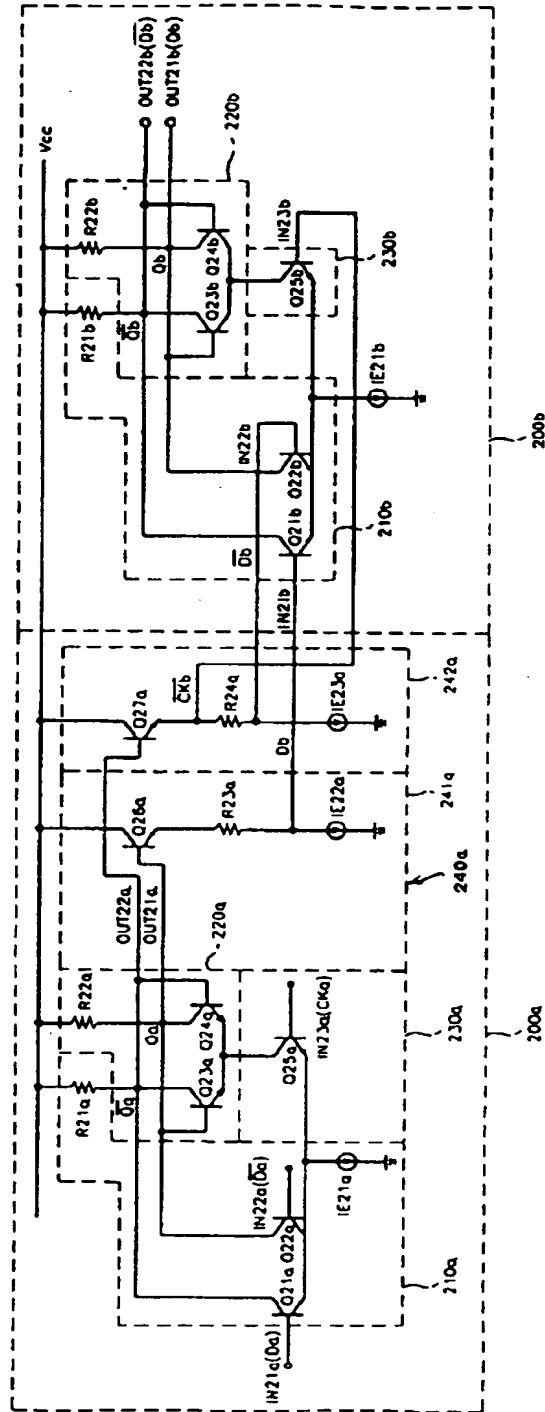


【図9】

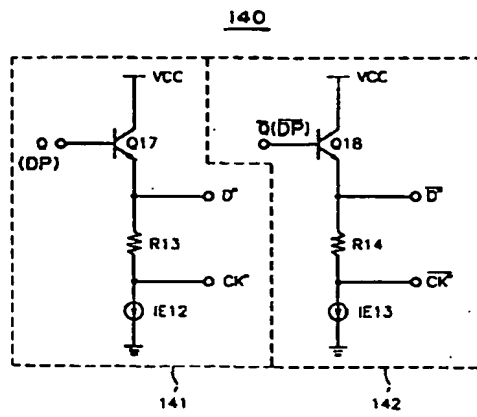


【図6】

100



【図10】



【図11】

